

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 04245713
PUBLICATION DATE : 02-09-92

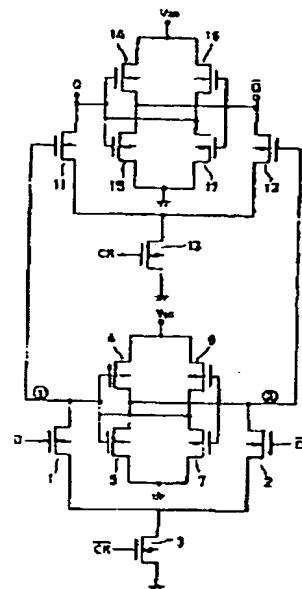
APPLICATION DATE : 30-01-91
APPLICATION NUMBER : 03029552

APPLICANT : NEC CORP;

INVENTOR : KIMURA KATSUHARU;

INT.CL. : H03K 3/356

TITLE : FLIP FLOP CIRCUIT



ABSTRACT : PURPOSE: To suppress the flow of a steady current in a CMOS type FF and to attain low power consumption.

CONSTITUTION: A transistor(TR) 3 (13) whose gate is to be driven by a clock signal is connected to the common source node of a pair of differential TRs 1, 2 (11, 12). The differential outputs of the differential TRs 1, 2 (11, 12) are respectively inputted to a pair of CMOS inverters 4, 5 and 6, 7 (or 14, 15 and 16, 17). Respective outputs from these CMOS inverters are respectively inputted to mutual inputs of the inverters. Thereby the TR 3 (13) is turned off in a half cycle to input an input signal, and in the succeeding half cycle, the TR 3 (13) is turned off, a data holding state is held and the flow of a steady current is suppressed, attaining low power consumption.

COPYRIGHT: (C)1992,JPO&Japio

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-245713

(43) 公開日 平成4年(1992)9月2日

(51) Int.Cl.⁵
H 03K 3/356

識別記号 庁内整理番号
C 7328-5J

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 6 頁)

(21) 出願番号 特願平3-29552

(22) 出願日 平成3年(1991)1月30日

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 木村 克治
東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 弁理士 ▲柳▼川 信

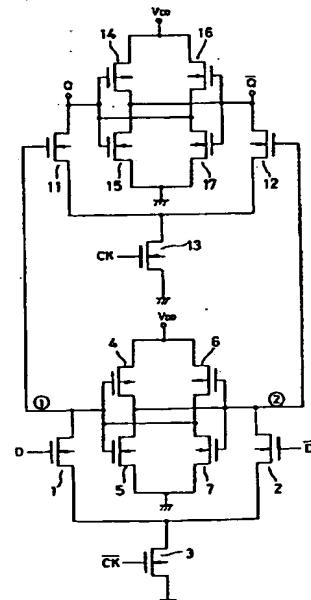
(54) 【発明の名称】 フリップフロップ回路

(57) 【要約】

【目的】 CMOS型FFの定常電流をなくして低消費電力化を図る。

【構成】 差動対トランジスタ1, 2 (11, 12) のソース共通接続点にクロック信号によりゲート駆動されるトランジスタ3 (13) を設ける。この差動トランジスタの差動出力を1対のCMOSインバータ (4, 5及び6, 7又は14, 15及び16, 17) の各入力とする。これ等CMOSインバータの各出力を互いのインバータの各入力とする。

【効果】 クロック信号の半サイクルではトランジスタ3 (13) がオンとなり、入力信号を取り込み、次の半サイクルではトランジスタ3 (13) がオフとなって、データ保持状態となり、その間定常電流は流れず、低消費電力化が図れる。



15からなるインバータとトランジスタ16, 17からなるインバータで固定されたままとなり、その状態は維持される。すなわちホールド回路となっている。

【0013】一方、下段の NAND ゲート付きマスタ FFにおいては、 $c k = 0$ の場合にはトランジスタ 3a, 3b がオンする。このとき、トランジスタ 1a, 2a はオフとなっているので、トランジスタ 3a, 2b, 1a を介して導通し回路電流が流れる。

【0014】(2) $A = B = 0$ 又は $A = 0, B = 1$ 又は $A = 1, B = 0$ のとき、はじめに $c k = 1$ のときを考える。 $c k = 1$ のときトランジスタ 3a, 3b はオフしている。また、トランジスタ 1a, 2a のうち少なくとも 1 つはオフ状態となるから、トランジスタ 4, 5 からなるインバータの入力としては、トランジスタ 6, 7 からなるインバータの出力以外は無視して良い。

【0015】一方、トランジスタ 6, 7 からなるインバータの入力に接続されているトランジスタ 1b, 2b のうち少なくとも一方はオフしており、トランジスタ 6, 7 からなるインバータの入力は “0” となり、トランジスタ 6, 7 からなるインバータの出力①は “1” となる。

【0016】このとき、トランジスタ 4, 5 からなるインバータの入力が “1” であるから、トランジスタ 4, 5 からなるインバータの出力②は “0” に固定される。

【0017】このとき、スレーブ FF は、 $c k = 1$ によりトランジスタ 13 がオフしており、① = 1, ② = 0 よりトランジスタ 11 はオフ、トランジスタ 12 はオフする。トランジスタ 11 がオフすることにより、トランジスタ 14, 15 からなるインバータの入力は “0” となる。このとき、トランジスタ 14, 15 からなるインバータの出力 (Q と逆相) は “1” となる。トランジスタ 16, 17 からなるインバータの入力は “1” となっており、出力 Q は “0” となる。

【0018】次に $c k = 0$ のときを考える。スレーブ FF では、トランジスタ 13 がオフすることにより、トランジスタ 11, 12 がオフ状態となり、①, ② の論理が変化しても、出力 Q の相補信号はトランジスタ 14, 15 からなるインバータとトランジスタ 16, 17 からなるインバータとにより固定されたままとなり、状態は維持される。すなわち出力状態がホールドされる。

【0019】一方、NAND ゲート付きマスタ FFにおいては、 $c k = 0$ の場合にはトランジスタ 3a, 3b がオンする。このとき、トランジスタ 1b, 2b の少なくとも 1 つはオフとなっているので、トランジスタ 3b 及び 1b, 2b のうちオフ状態のトランジスタを介して導通し、回路電流が流れる。

【0020】以上の説明により明らかな如く、クロック $c k$ の半周期の間は定常電流が流れるので、回路電流が多くなっている。

【0021】

【発明の目的】本発明の目的は、定常電流をなくして CMOS 固有の低消費電力化を図った FF を提供することである。

【0022】

【発明の構成】本発明による FF は、互いに差動対とされた 1 導電型の第 1 及び第 2 の電界効果トランジスタと、これ等差動対トランジスタの差動出力を夫々入力とすると共に互いの出力が互いの入力へ供給され互いに相補型のトランジスタからなる第 1 及び第 2 のインバータと、前記差動対トランジスタのソース共通接続点に接続されクロック信号がゲートに印加された前記 1 導電型の第 3 の電界効果トランジスタとを有することを特徴とする。

【0023】本発明による他の FF は、互いに差動対とされた 1 導電型の第 1 及び第 2 の電界効果トランジスタ、これ等差動対トランジスタの差動出力を夫々入力とすると共に互いの出力が互いの入力へ供給され互いに相補型のトランジスタからなる第 1 及び第 2 のインバータ、前記差動対トランジスタのソース共通接続点に接続されクロック信号がゲートに印加された前記 1 導電型の第 3 の電界効果トランジスタからなるマスタフリップフロップと、前記差動出力を夫々ゲート入力とし互いに差動対とされた前記 1 導電型の第 4 及び第 5 の電界効果トランジスタ、この差動対トランジスタである第 4 及び第 5 の電界効果トランジスタの差動出力を夫々入力とすると共に互いの出力が互いの入力へ供給され互いに相補型のトランジスタからなる第 3 及び第 4 のインバータ、前記第 4 及び第 5 の電界効果トランジスタのソース共通点に接続され前記クロック信号と逆相の信号がゲートに印加された前記 1 導電型の第 5 の電界効果トランジスタからなるスレーブフリップフロップとを有することを特徴とする。

【0024】

【実施例】以下、図面を参照しつつ本発明の実施例を詳細に説明する。

【0025】図 1 は本発明の実施例の回路図であり、マスタスレーブ型の DFF の例である。図 3 と同等部分は同一符号により示す。

【0026】本実施例は論理入力が D 1 つの場合の例であり、図 3 の例と同じ様に論理入力が A, B の 2 つの場合の NAND ゲート機能の例については、図 2 の他の実施例として示している。

【0027】図 1 を参照すると、N チャネルトランジスタ 1, 2 は差動トランジスタとなっており、このトランジスタ 1, 2 のソース共通接続点に N チャネルトランジスタ 3 が接続され、このトランジスタ 3 のゲート入力としてクロック信号 $c k$ の逆相信号が印加されている。

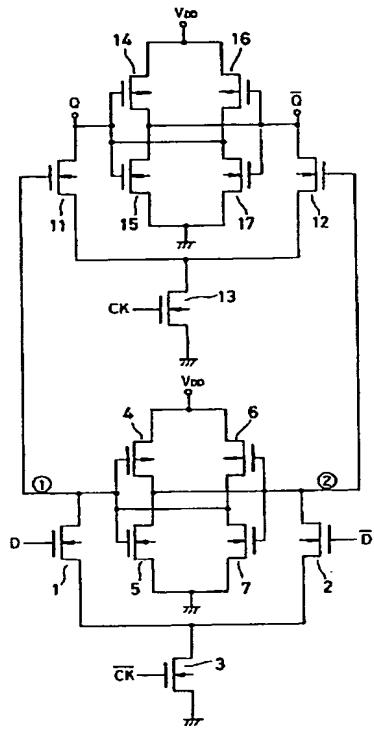
【0028】差動トランジスタ 1, 2 の差動出力 (ドレン出力) が、トランジスタ 4, 5 及び 6, 7 からなる第 1 及び第 2 の CMOS インバータの各入力となり、CMOS イ

50

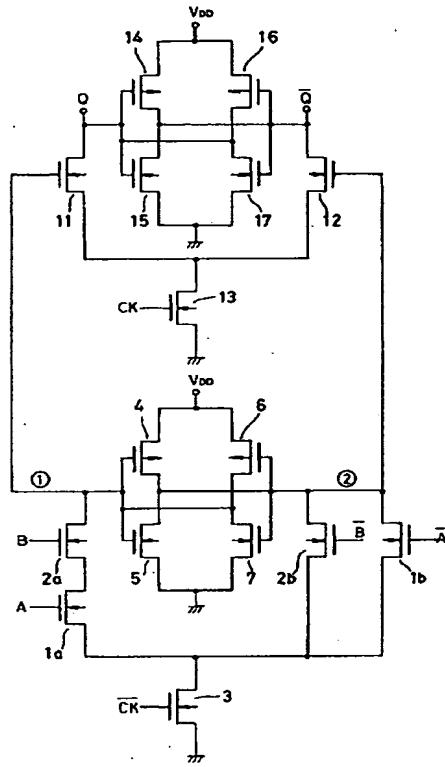
(5)

特開平4-245713

【図1】



【図2】



【図3】

